

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-320172

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H05K 3/46
H01L 23/522
H05K 1/09
H05K 3/24

(21)Application number : 2000-133126

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.05.2000

(72)Inventor : ABE TOMOYUKI

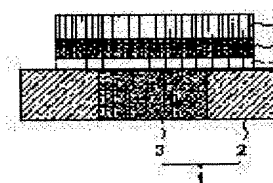
(54) THIN FILM MULTILAYER CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve adhesion between a barrier layer, being provided between an adhesion improving layer and a conductive metal layer, and the conductive metal layer in a thin film multilayer circuit board.

SOLUTION: The adhesion improving layer 4 and the conductive metal layer 6 are provided so as to be connected to a thick film base layer 2 and a thick film buried conductor 3 both forming a supporting substrate 1. At the same time, a gradient composition layer whose composition graded in either a continuous way or a step-like way from a high melting point metal to a conductive metal constituting the conductive metal layer 6 is inserted between the adhesion improving layer 4 and the conductive metal layer 6 from the adhesion improving layer 4 side.

本発明の印刷回路基板の断面図



1: 支持基板	4: 接着改善層
2: 厚膜ベース層	5: 組成勾配層
3: 厚膜埋込導体	6: 導体金属層

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPII are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the thick-film base layer which constitutes a support substrate, and thick-film embedded — it connects with a conductor — as — an adhesion improvement layer and a conductor — while preparing a metal layer — said adhesion improvement layer and said conductor — between metal layers — said conductor from the refractory metal from said adhesion improvement layer side — the conductor which constitutes a metal layer — the thin film multilayered circuit board characterized to a metal by that a presentation is continuous or to insert the dip presentation layer which changes by either of the shape of a step.

[Claim 2] the above-mentioned dip presentation layer — the above-mentioned refractory metal and the above — a conductor — the thin film multilayered circuit board according to claim 1 characterized by being the presentation ratio which constitutes the matrix of metal both sides.

[Claim 3] the above — a conductor — Cu system to which a metal uses Cu or Cu as a principal component — the thin film multilayered circuit board according to claim 1 or 2 characterized by the above-mentioned refractory metal consisting of W, Mo, Cr, Ta, Co, Nb, Rh, Ru, Re, Ir, or Os while consisting of either of the conductors.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the thin film multilayered circuit board which has the description in the configuration of the barrier metal layer for improving the adhesion of a wiring layer especially established on a thick-film support substrate about a thin film multilayered circuit board.

[0002]

[Description of the Prior Art] With improvement in the speed of a computer in recent years, and large-capacity-izing and high integration of a semiconductor device, the mounting approach is also changing a lot, it becomes in use high density assembly, detailed wiring, multilayering, etc., and multilayer wiring is formed with a small spacer.

[0003] Although the thin film multilayered circuit board which can offer high-density wiring, and the so-called MCM (Multi Chip Module) substrate are put in practical use and it is applied to electronic equipment, such as a computer, in order to respond to such a request, for high-speed propagation of a signal, it is necessary to use the resin of a low dielectric constant as an insulating material.

[0004] For example, in this MCM substrate, since it forms by etching whose signal pattern the photopolymer which can form a very thin dielectric layer was used by the spin coat on the thick-film base layer as a dielectric, and also usually used the sputtering method and the high sensitivity resist, the high density pattern which does not become as compared with the usual printed-circuit board is realizable.

[0005] In these thin film multilayered circuit boards, when it mounts electronic parts, a required I/O pin may be formed in the case [where it prepares in a thin film side], and rear-face side of a thick film. While the advantage that beer becomes unnecessary is in a thick-film side although an I/O pin is arranged around a substrate in many cases in forming in a thin film side, it is a disadvantageous approach for performing high density assembly under the effect of wiring which takes about even the component-side product of an I/O pin which it has chiefly, and an I/O pin. [0006] Then, although it becomes very advantageous in respect of the engine performance since many-items child mounting is attained and a wire length can be also electrically shortened by forming an I/O pin in the rear-face side of a thick film, a variety of substrates, such as CSP which is PGA and BGA which are the multilayer ceramic circuit board and array packaging, and magnitude still more nearly comparable as LSI, exist from the printed circuit board with the most popular thick-film substrate that has such beer.

[0007] For example, MCM called MCM-C/D (Co-fire:simultaneous baking, Deposit: deposition process) is formed at a multilayer by dry cleaning and wet process which repeat a series of ** which consist of membrane formation and patterning of a conductor according a thinfilm circuit to Deposit (deposition process), i.e., formation of a resin layer, processing of a beer hall, a spatter, vacuum evaporation, plating, etc. on a ceramic substrate or the ceramic substrate by which the thick film circuit was formed in the interior.

[0008] In this case, functional parts, such as LSI, will be connected to the pad for element placements formed in the surface layer of an MCM substrate by solder, especially, in the case of

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2007/03/02

[0018] then — a thick-film substrate — thin film connection — it is necessary to perform contact to a thick film conductor with the location correction pattern by the conductor. In this case, although the adhesion of a thin film must be secured a thick-film side, since a low resistance metal required for thin film multilayer interconnections, such as Cu, necessarily sticks neither with a thick-film base layer nor a thick film conductor, the adhesion improvement layer for improving adhesion with thin film wiring a thick-film side is needed.

[0019] For this reason, it is necessary to make it the metal multilayer having the thin film conductive layer which bears the adhesion by the side of a thick film, and a thin film conductive layer required for a thin film multilayer interconnection, and it is necessary to make it the lamination which controlled a mutual reaction and diffusion, securing the adhesion further between these multilayers.

[0020] however — anyway — connection — since the irregularity resulting from a thick film conductor becomes a problem when a thick film conductor is used as a conductor 41 — connection — a conductor — the connection formed in the direct ceramic substrate 37 although forming the very thing with a thin film is performed and it is based also on the configuration of a circuit — Cu of low resistance is used as a conductor 41.

[0021] Although it usually matches with the coefficient of thermal expansion of the silicon which constitutes LSI chip 34 as this ceramic substrate 37 and the good AlN ceramic substrate of heat dissipation nature is used Although it is necessary to prepare good Ti layer of the adhesion over a nitride as an adhesion improvement layer since Cu is lacking in adhesion with an AlN ceramic substrate When Ti layer is prepared, by the heat treatment process at the time of the subsequent insulating stratification, a diffusion layer and a compound layer are generated, further, depending on a heat treatment ambient atmosphere, even Ti oxide forms into a diffusion layer, and Ti and Cu become what has low dependability thermally.

[0022] Therefore, in order to prevent the counter diffusion of Ti and Cu, the metal which needs to prepare a diffusion prevention layer in the interface of Ti layer and Cu layer, and is excellent in the adhesion of Ti and Cu as such a diffusion prevention layer, and does not form Ti and Cu, and a compound serves as an ideal.

[0023] the thin film connection using such a refractory metal as a barrier layer since refractory metals, such as W and Mo, were mentioned as such a diffusion prevention layer — a conductor is explained with reference to drawing 5 (b).

Drawing 5 (b) reference drawing 5 (b) is an enlarged drawing [/ near the W beer 38]. A conductor 41 is formed, carrying out patterning, after carrying out sequential membrane formation of the Ti layer 48, W barrier layer 49, and the Cu layer 50 by the sputtering method — connection — by this lamination connection — formation of the thin film multilayered circuit board D section 32 which the lowering of the dependability by counter diffusion since thermal stability both increases to which thin film-ization of a conductor 41 is attained is improved, and has a detailed pattern is attained.

[0024]

[Problem(s) to be Solved by the Invention] However, in order that W or Mo used as a barrier layer may not react with Cu, they are difficult to aim at adhesion with the Cu layer 50 and W barrier layer 49, and a problem is in dependability.
 [0025] therefore, this invention — an adhesion improvement layer and a conductor — the barrier layer prepared between metal layers, and a conductor — it aims at improving adhesion with a metal layer.

[0026]

[Means for Solving the Problem] Here, with reference to drawing 1 . The means for solving a technical problem in this invention is explained. in addition, the thick-film embedded drawing 1 indicates the theoretic configuration of this invention to be — it is a rough sectional view near the conductor.

the thick-film base layer 2 from which drawing 1 reference (1) this invention constitutes the support substrate 1 in a thin film multilayered circuit board, and thick-film embedded — it connects with a conductor 3 — as — the adhesion improvement layer 4 and a conductor, while forming the metal layer 6 the adhesion improvement layer 4 and a conductor — between the

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2007/03/02

LSI, a solder bump is formed on a terminal and C4 connection (Controlled Collapsed Chip Connection) carried by face down on an MCM substrate is made.

[0009] Here, conventional MCM-C/D is explained with reference to drawing 4 .

Drawing 4 (a) reference drawing 4 (a) is the rough block diagram of conventional MCM-C/D, and MCM-C/D consists of a multilayered circuit board C section 31 formed by simultaneous baking, and a thin film multilayered circuit board D section 32 formed of a subsequent vacuum process. the I/O pin 33 is formed in one field of the multilayered circuit board C section 31, and it performs exchange of a signal with the exterior, and supply of a power source.

[0010] On the other hand, on the thin film multilayered circuit board D section 32, when LSI chip 34 is mounted by the solder bump 35 who consists of Pb-Sn etc. by the flip method and mounts a cooling fin 36 in the rear-face side of LSI chip 34, it has composition which cools directly the heat generated by LSI.

[0011] Drawing 4 (b) reference drawing 4 (b) is the rough sectional view which expanded the inside of the circle of the dotted line in drawing 4 (a), and is set in the multilayered circuit board C section 31. It has the structure where simultaneous formation of the W beer 38 which becomes the interior of a ceramic substrate 37 from the tungsten (W) which carries out front flesh-side penetration was carried out at the time of ceramic baking, and it was laid under the ceramic substrate 37. The pad 39 for connection which consists of W-nickel plating or Cr-Cu-nickel-Au is formed in one field of the W beer 38 laid underground, and the I/O pin 33 which consists of covar is connected by solder 40.

[0012] the connection connected to W beer 38 on the other hand in the field of another side — a conductor 41 is formed and the thin film multilayered circuit board D section 32 to which the laminating of the polyimide layer 44 and the Cu wiring layer 42 was carried out one by one according to the deposition process is formed on it. In addition, Cu beer 43 connects between the Cu wiring layers 42 from which a horizon differs, and in drawing, the connection structure of central Cu beer 43 is illustrated, where the connection condition in a location which is actually different in projection is centralized on a center section for convenience.

[0013] And the pad 45 for element placements is formed of the plating process etc. so that it may connect with the topmost Cu beer 43, and it will be in the condition that LSI chip 34 was mounted, by carrying out melting of the solder bump 35 who prepared in LSI chip 34 to this pad 45, and connecting with it.

[0014] In such a thin film multilayered circuit board, in order to form a thin film multilayer-interconnection layer, when the thick-film substrate which has beer is used, it becomes very important to have surface surface smoothness, smooth nature, and dependability high to the interface of a thick film and a thin film, and, also actually, in many cases, such a point poses a problem.

[0015] for example, the front face of a thick-film substrate — connection — since thickness serves as a thick film conductor which is about several 10-100 micrometers when a conductive paste is applied and formed, in order to form a conductor by simultaneous baking (Co-fire), if the laminating of the thin film wiring layer is carried out on this, a level difference will become large too much, and since irregularity arises in a thin film multilayer interconnection, formation of a detailed pattern becomes difficult.

[0016] connection by such baking — since the method of performing direct nickel plating and Cu plating to W beer 38 is also learned in order to solve the problem of the formation approach of a conductor, drawing 5 (a) reference is carried out and it explains.

an enlarged drawing [drawing 5 / drawing 5 (a) reference / (a) / near the W beer 38] — it is — the exposure front-face top of W beer 38 — electrolysis plating — using — the direct nickel deposit 46 and the Cu deposit 47 — preparing — this — the calcinating method — connection — the thickness of a conductor 41 can be formed thinly.

[0017] However, like the multilayered circuit board C section 31, with the substrate of simultaneous baking (Co-fire), there is a problem of it becoming impossible to form a subsequent thin film multilayer interconnection at a photo etching process based on a design value as the location of W beer shifts from a design value and a circuit pattern makes it detailed according to a difference with delicate contraction, since the contraction at the time of baking is un-isotropic.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2007/03/02

metal layers 6 — the conductor from the refractory metal from the adhesion improvement layer 4 side — the conductor which constitutes the metal layer 6 — it is characterized by that a presentation is continuous or inserting the dip presentation layer 5 which changes by either of the shape of a step to a metal.

[0027] thus, the conductor from the refractory metal from the adhesion improvement layer 4 side — the conductor which constitutes the metal layer 6 — inserting the dip presentation layer 5 from which a presentation changes to a metal — a conductor — while adhesion with a metal is substantially improvable — the adhesion improvement layer 4 and a conductor — the thin film connection which could prevent the counter diffusion between the metal layers 6, and was excellent in thermal stability with it — a conductor can be formed. In addition, you may make it a presentation change continuously, may make it change in the shape of a step, and it can form the dip presentation layer 5 in this case using plural sputtering systems.

[0028] moreover, this invention — the above (1) — setting — the dip presentation layer 5 — a refractory metal and a conductor — it is characterized by being the presentation ratio which constitutes the matrix of metaled both sides.

[0029] thus, the presentation ratio of the dip presentation layer 5 — a refractory metal and a conductor — it is required to be the presentation ratio which constitutes the matrix of metaled both sides, i.e., the presentation ratio which does not constitute an interface.

[0030] (3) moreover, this invention — the above (1) or (2) — setting — a conductor — Cu system to which a metal uses Cu or Cu as a principal component — while consisting of either of the conductors, a refractory metal is characterized by consisting of W, Mo, Cr, Ta, Co, Nb, Rh, Ru, Re, Ir, or Os.

[0031] thus, a conductor — as a metal — low — Cu system which uses Cu or Cu as a principal component — either of the conductors is suitable and either of W, Mo, Cr, Ta, Co, Nb, Rh, Ru, Re, Ir(s), and Os(es) which do not constitute Cu and an alloy suitable as a refractory metal. [****] In addition, as an adhesion improvement layer 4, since the thick-film base layer 2 generally consists of nitride ceramics, its good Ti of adhesion to a nitride is desirable.

[0032]

[Embodiment of the Invention] Here, although the thin film multilayered circuit board of the gestalt of operation of the 1st of this invention is explained with reference to drawing 2 , drawing 2 is a rough sectional view near the W beer of the multilayered circuit board C section which constitutes a thin film multilayered circuit board, and in order to make it easy to understand, it is emphasizing and illustrating the scale of the direction of thickness in drawing.

drawing 2 3 * — first — the front face of the multilayered film circuit board C section 11 — Ti target — After performing Ar etching using the plural simultaneous sputtering system which set W target and Cu target, Thickness carries out 100nm Ti adhesion improvement layer 14, and thickness carries out the sequential deposition of W layer 15 [100nm] so that it may connect with the W beer 13 embedded at the AlN ceramic substrate 12 and the AlN ceramic substrate 12 which constitute the multilayered film circuit board C section 11.

[0033] Then, the dip presentation layer 16 is formed by carrying out simultaneous discharge of W target and the Cu target. In this case, by making it synchronize with carrying out sequential change of the charge power to W target with 4kW, 2kW, and 1kW, and carrying out sequential change of the charge power to Cu target with 1kW, 2kW, and 4kW Thickness by the 100nm atomic ratio the W rich W-Cu compound layer 17 of W:Cu**70:30 and thickness for example, a 100nm atomic ratio — the W-Cu compound layer 18 of W:Cu**50:50, and thickness — for example, a 100nm atomic ratio — the Cu rich W-Cu compound layer 19 of W:Cu**30:70 — the dip presentation layer 16 of a three-tiered structure is formed about.

[0034] then, the thing done to a predetermined configuration for patterning after thickness makes the 500nm Cu layer 20 deposit by making Cu target discharge independently — thin film connection — a conductor is formed.

[0035] In this case, in order to check the thermal stability over the heat treatment process at the time of forming a next thin film multilayer interconnection 500-degree C annealing and N2 in a vacuum After performing two kinds of annealing treatment of 500-degree C annealing in a gas ambient atmosphere, when the cross section of a substrate is observed, although grain growth

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2007/03/02

was looked at by recrystallization, in any case, the crystal grain of Cu thin film A change remarkable in W organization which is a refractory metal was not seen, but thermal stability was checked.

[0036] The basic configuration of a thin film multilayered circuit board is completed by carrying out the laminating of the wiring layer which consists of the insulator layer, Cr adhesion improvement layer, and Cu layer which consist of polyimide as usual by turns, and forming the thin film multilayered circuit board D section henceforth.

[0037] In the gestalt of operation of the 1st of this invention thus, between Ti adhesion improvement layer 14 and the Cu layer 20 Since the presentation has formed the dip presentation layer 16 which changes from W to Cu in the shape of a step in case the barrier layer using W for improving thermal stability is formed, the adhesion of a barrier layer and the Cu layer 20 can be improved, and dependability can be improved by it. In addition, W layers may be considered as a dip presentation layer including 15.

[0038] That is, since W forms a matrix, i.e., a network, in the W rich W-Cu compound layer 17, and the both sides of W and Cu constitute a matrix according to an individual in the W-Cu compound layer 18 and Cu constitutes a matrix in the Cu rich W-Cu compound layer 19, the clear interface between each class will not be formed, but adhesion will increase.

[0039] Next, although the thin film multilayered circuit board of the gestalt of operation of the 2nd of this invention is explained with reference to drawing 3, drawing 3 is a rough sectional view near the W beer of the multilayered circuit board C section which constitutes a thin film multilayered circuit board, and in order to make it easy to understand also in this case, it is emphasizing and illustrating the scale of the direction of thickness in drawing.

drawing 3 3 ** — first — the front face of the multilayered film circuit board C section 11 — Ti target — After performing Ar etching using DC sputtering system which set Mo target and Cu target, Thickness carries out 100nm Ti adhesion improvement layer 14, and thickness carries out the sequential deposition of the 100nm Mo layer 21 so that it may connect with the W beer 13 embedded at the AlN ceramic substrate 12 and the AlN ceramic substrate 12 which constitute the multilayered film circuit board C section 11.

[0040] Then, the dip presentation layer 22 is formed by making Mo target and Cu target discharge by turns. In this case, by making it change in step so that the making time of the power to Mo target and the making time of the power to Cu target may be conflicted For example, the 90nm Mo layer 231 / 10nm Cu layer 241, the 30nm Mo layer 232 / 10nm Cu layer 242, The 20nm Mo layer 233 / 10nm Cu layer 243, the 20nm Mo layer 234 / 10nm Cu layer 244, The 10nm Mo layer 235 / 10nm Cu layer 245, the 10nm Mo layer 236 / 10nm Cu layer 246, The 10nm Mo layer 237 / 10nm Cu layer 247, the 10nm Mo layer 238 / 10nm Cu layer 248, the 10nm Mo layer 239 / 10nm Cu layer 249, and the Cu layer 2412 of 2312/30nm of Mo layers of 2411 or 10nm of Cu layers of 2311/20nm of Mo layers of 2410 or 10nm of Cu layers of 2310/20nm of 10nm of Mo layers — and 26 layers of the Cu layer 2412 of 2312/90nm of 10nm of Mo layers are formed.

[0041] Thus, in the Mo layer 21 side, the dip presentation layer 22 which consists of a compound layer of Mo and Cu which were constituted from a membrane formation process at 26 layers serves as Mo Rich's presentation, and, on the other hand, is the dip presentation layer 22 of the shape of a step of a presentation of Cu Rich at the Cu layer 20 side.

[0042] then, the thing done to a predetermined configuration for patterning after thickness makes the 500nm Cu layer 20 deposit by making Cu target discharge independently — thin film connection — a conductor is formed.

[0043] In order to check the thermal stability over the heat treatment process at the time of forming a next thin film multilayer interconnection also in this case 500-degree C annealing and N2 in a vacuum After performing two kinds of annealing treatment of 500-degree C annealing in a gas ambient atmosphere, when the cross section of a substrate is observed, although grain growth was looked at by recrystallization, in any case, the crystal grain of Cu thin film A change remarkable in Mo organization which is a refractory metal was not seen, but thermal stability was checked.

[0044] The basic configuration of a thin film multilayered circuit board is completed by carrying

out the laminating of the wiring layer which consists of the insulator layer, Cr adhesion improvement layer, and Cu layer which consist of polyimide like the gestalt of the 1st operation of the above by turns, and forming the thin film multilayered circuit board D section henceforth.

[0045] In the gestalt of operation of the 2nd of this invention thus, between Ti adhesion improvement layer 14 and the Cu layer 20 Since the presentation has formed the dip presentation layer 21 which changes from Mo to Cu in the shape of a step in case the barrier layer using Mo for improving thermal stability is formed, the adhesion of a barrier layer and the Cu layer 20 can be improved, and dependability can be improved by it. In addition, you may think as a dip presentation layer including the Mo layer 21.

[0046] That is, since Mo forms a matrix in an Mo rich Mo-Cu compound layer side, and the both sides of Mo and Cu constitute a matrix according to an individual in a Mo-Cu equal compound layer and Cu constitutes a matrix in a Cu rich Mo-Cu compound layer side, the clear interface between each class will not be formed, but adhesion will increase.

[0047] As mentioned above, although the gestalt of each operation of this invention has been explained, this invention is not restricted to the configuration and conditions which were indicated in the gestalt of each operation, and various kinds of modification is possible for it. For example, although W or Mo is used as a refractory metal which forms the barrier layer containing a dip presentation layer in the gestalt of each operation of this invention Like W and Mo instead of what is restricted to W or Mo, adhesion with Ti is good and may use Cr, Ta, Co, Nb, Rh, Ru, Re, Ir, or Os that is Ti and Cu, and the refractory metal that does not react.

[0048] moreover, the conductor which constitutes the subject of a wiring layer in the gestalt of each above-mentioned operation — although Cu is used as a metal layer, it is not restricted to pure Cu and Cu system conductor which uses Cu as a principal component may be used.

[0049] Moreover, although the dip presentation layer which uses W as a configuration element is formed in the gestalt of the 1st operation of the above as a layer from which a presentation changes in the shape of a step using the simultaneous sputtering method Are good also as a dip presentation layer from which a presentation changes continuously by changing the charge power to each target continuously. Further A dip presentation layer may be formed according to superlattice-structure like the gestalt of the 2nd operation of the above using the DC sputtering method.

[0050] Moreover, although the dip presentation layer which uses Mo as a configuration element is formed in the gestalt of the 2nd operation of the above as a layer from which a presentation changes with superlattice-structures in the shape of a step using the DC sputtering method Like the gestalt of the 2nd operation of the above, you may form as a layer from which a presentation changes in the shape of a step using the simultaneous sputtering method, and it is good also as a dip presentation layer from which a presentation changes continuously by changing the charge power to each target continuously further.

[0051]

[Effect of the Invention] the thin film connection which is connected to W beer of the multilayered circuit board C section according to this invention, since the barrier layer which prevents counter diffusion is prepared as a dip presentation layer in case a conductor is formed a conductor — the thin film connection which has improved the adhesion of a metal layer and a barrier layer substantially, and was excellent in thermal stability with it, and was excellent in adhesion, since a conductor can be constituted The place which can realize the thin film multilayered circuit board which does not deteriorate by repeat heat treatment and elevated-temperature maintenance, but has the reliable thin film multilayered circuit board D section, as a result contributes to high-density-assembly-ization of electronic parts is large.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view of the theoretic configuration of this invention.
[Drawing 2] thin film connection of the gestalt of operation of the 1st of this invention — it is the explanatory view of a conductor.
[Drawing 3] thin film connection of the gestalt of operation of the 2nd of this invention — it is the explanatory view of a conductor.
[Drawing 4] It is the rough block diagram of conventional MCM-C/D.
[Drawing 5] the connection in the conventional thin film multilayered circuit board — the explanatory view of a conductor

[Description of Notations]

- 1 Support Substrate
- 2 Thick-Film Base Layer
- 3 Thick-Film Embedded — Conductor
- 4 Adhesion Improvement Layer
- 5 Dip Presentation Layer
- 6 Conductor — Metal Layer
- 11 The Multilayered Circuit Board C Section
- 12 AlN Ceramic Substrate
- 13 W Beer
- 14 Ti Adhesion Improvement Layer
- 15 W Layers
- 16 Dip Presentation Layer
- 17 W Rich W-Cu Compound Layer
- 18 W-Cu Compound Layer
- 19 Cu Rich W-Cu Compound Layer
- 20 Cu Layer
- 21 Mo Layer
- 22 Dip Presentation Layer
- 231 — 2313.Mo Layer
- 241 — 2413.Cu Layer
- 31 The Multilayered Circuit Board C Section
- 32 The Thin Film Multilayered Circuit Board D Section
- 33 I/O Pin
- 34 LSI Chip
- 35 Solder Bump
- 36 Cooling Fin
- 37 Ceramic Substrate
- 38 W Beer
- 39 Pad for Connection
- 40 Solder
- 41 Connection — Conductor

- 42 Cu Wiring Layer
- 43 Cu Beer
- 44 Polyimide Layer
- 45 Pad
- 46 Nickel Deposit
- 47 Cu Deposit
- 48 Ti Layer
- 49 W Barrier Layer
- 50 Cu Layer

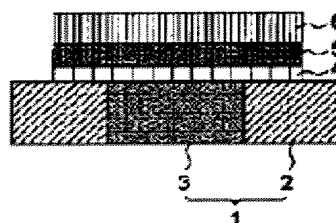
[Translation done.]

THIN FILM MULTILAYER CIRCUIT BOARD**Publication number:** JP2001320172**Publication date:** 2001-11-16**Inventor:** ABE TOMOYUKI**Applicant:** FUJITSU LTD**Classification:**

- international: *H05K1/09; H01L23/522; H01L23/538; H05K3/24; H05K3/46; H05K1/09; H01L23/52; H05K3/24; H05K3/46; (IPC1-7): H05K3/46; H01L23/522; H05K1/09; H05K3/24*

- European:**Application number:** JP20000133126 20000502**Priority number(s):** JP20000133126 20000502**Report a data error here****Abstract of JP2001320172**

PROBLEM TO BE SOLVED: To improve adhesion between a barrier layer, being provided between an adhesion improving layer and a conductive metal layer, and the conductive metal layer in a thin film multilayer circuit board. **SOLUTION:** The adhesion improving layer 4 and the conductive metal layer 6 are provided so as to be connected to a thick film base layer 2 and a thick film buried conductor 3 both forming a supporting substrate 1. At the same time, a gradient composition layer whose composition graded in either a continuous way or a step-like way from a high melting point metal to a conductive metal constituting the conductive metal layer 6 is inserted between the adhesion improving layer 4 and the conductive metal layer 6 from the adhesion improving layer 4 side.

本発明の原理的構成の説明図

- | | |
|------------|------------|
| 1 : 支持基板 | 4 : 密着性改善層 |
| 2 : 厚膜ベース層 | 5 : 組成組成層 |
| 3 : 厚膜埋込導体 | 6 : 導体金属層 |

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-320172
(P2001-320172A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 5 K 3/46		H 0 5 K 3/46	S 4 E 3 5 1
H 0 1 L 23/522		1/09	E 5 E 3 4 3
H 0 5 K 1/09		3/24	C 5 E 3 4 6
3/24		H 0 1 L 23/52	Z
			B
審査請求 未請求 請求項の数 3 O L (全 9 頁)			

(21) 出願番号 特願2000-133126(P2000-133126)

(22) 出願日 平成12年 5 月 2 日 (2000. 5. 2)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 阿部 知行
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74) 代理人 100105337
弁理士 眞鍋 潔 (外3名)

最終頁に続く

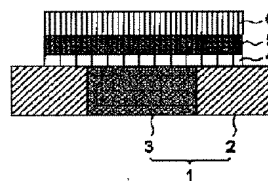
(54) 【発明の名称】 薄膜多層回路基板

(57) 【要約】

【課題】 薄膜多層回路基板に関し、密着性改善層と導体金属層との間に設けるバリア層と、導体金属層との密着性を改善する。

【解決手段】 支持基板1を構成する厚膜ベース層2と厚膜埋込導体3とに接続するように、密着性改善層4と導体金属層6とを設けるとともに、密着性改善層4と導体金属層6との間に、密着性改善層4側から高融点金属から導体金属層6を構成する導体金属へと組成が連続的或いはステップ状のいずれかで変化する傾斜組成層5を挿入する。

本発明の原理的構成の説明図



1: 支持基板
2: 厚膜ベース層
3: 厚膜埋込導体
4: 密着性改善層
5: 傾斜組成層
6: 導体金属層

【特許請求の範囲】

【請求項1】 支持基板を構成する厚膜ベース層と厚膜埋込導体とに接続するように、密着性改善層と導体金属層とを設けるとともに、前記密着性改善層と前記導体金属層との間に、前記密着性改善層側から高融点金属から前記導体金属層を構成する導体金属へと組成が連続的或いはステップ状のいずれかで変化する傾斜組成層を挿入したことを特徴とする薄膜多層回路基板。

【請求項2】 上記傾斜組成層が、上記高融点金属及び上記導体金属の双方のマトリックスを構成する組成比であることを特徴とする請求項1記載の薄膜多層回路基板。

【請求項3】 上記導体金属がCuまたはCuを主成分とするCu系導体のいずれかからなるとともに、上記高融点金属が、W、Mo、Cr、Ta、Co、Nb、Rh、Ru、Re、Ir、Osのいずれかからなることを特徴とする請求項1または2に記載の薄膜多層回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜多層回路基板に関するものであり、特に、厚膜支持基板上に設ける配線層の密着性を改善するためのバリア金属層の構成に特徴のある薄膜多層回路基板に関するものである。

【0002】

【従来の技術】近年のコンピュータの高速化、半導体装置の大容量化・高集積化に伴い、その実装方法も大きく変化しており、高密度実装、微細配線、多層化などが主流となり、小さなスペースで多層の配線が形成されるようになっている。

【0003】この様な要請に応えるため、高密度な配線を提供することが可能な薄膜多層回路基板、所謂MCM (Multi Chip Module) 基板が実用化され、コンピュータ等の電子機器に適用されているが、信号の高速伝播のためには低誘電率の樹脂を絶縁材料として用いることが必要になる。

【0004】例えば、このMCM基板においては、通常、誘電体としてはスピンコートにより厚膜ベース層上に非常に薄い誘電体層の形成が可能な感光性樹脂が使用され、また、信号パターンもスパッタリング法と高感度レジストを使用したエッチングによって形成しているので、通常のプリント配線基板とは比較にならない高密度パターンが実現可能になっている。

【0005】これらの薄膜多層回路基板において、電子部品を実装する場合に必要なI/Oピンを薄膜側に設ける場合と、厚膜の裏面側に形成する場合がある。薄膜側に形成する場合には、基板の周囲にI/Oピンを配置する場合が多いが、厚膜側にビアが不要になるという利点がある反面、I/Oピンの専有する実装面積やI/Oピンまで引き回す配線の影響で、高密度実装を行うには不

利な方法となってきた。

【0006】そこで、厚膜の裏面側にI/Oピンを形成することによって多端子実装が可能となり、電氣的にも配線長を短くすることができるので性能面で非常に有利となるが、この様なビアを有する厚膜基板は、最もポピュラーなプリント板から、多層セラミック回路基板、アレイパッケージングであるPGA、BGA、さらには、LSIと同程度の大きさであるCSP等、多種多様の基板が存在する。

【0007】例えば、MCM-C/D (Co-fire : 同時焼成, Deposit : 堆積プロセス) と呼ばれるMCMは、セラミック基板、若しくは、内部に厚膜回路が形成されたセラミック基板上に薄膜回路をDeposit (堆積プロセス)、即ち、樹脂層の形成、ビアホール加工、スパッタ、蒸着、メッキ等による導体の成膜及びパターニングからなる一連の工程繰り返すドライ及びウエットプロセスで多層に形成したものである。

【0008】この場合、LSI等の機能部品は、MCM基板の表面層に形成された部品搭載用パッドに半田によって接続されることになり、特に、LSIの場合には、端子上に半田バンプを形成し、MCM基板上にフェイスダウンで搭載するC4接続 (Controlled Collapsed Chip Connection) が行われている。

【0009】ここで、図4を参照して、従来のMCM-C/Dを説明する。

図4 (a) 参照

図4 (a) は、従来のMCM-C/Dの概略的構成図であり、MCM-C/Dは、同時焼成で形成される多層回路基板C部31とその後の真空プロセスによって形成される薄膜多層回路基板D部32とから構成され、多層回路基板C部31の一方の面には入出力ピン33が設けられ、外部との信号のやり取りと電源の供給を行う。

【0010】一方、薄膜多層回路基板D部32上には、LSIチップ34がフリップ方式でPb-Sn等からなる半田バンプ35により実装され、LSIチップ34の裏面側には冷却フィン36を実装することによってLSIで発生した熱を直接冷却する構成となっている。

【0011】図4 (b) 参照

図4 (b) は、図4 (a) における点線の円内を拡大した概略的断面図であり、多層回路基板C部31においては、セラミック基板37の内部には表裏貫通するタングステン (W) からなるWビア38がセラミック焼成時に同時形成されてセラミック基板37に埋設された構造となっており、埋設されたWビア38の一方の面にはW-Niメッキ、或いは、Cr-Cu-Ni-Au等からなる接続用パッド39を設け、半田40によって、例えば、コパルからなる入出力ピン33が接続されている。

【0012】一方、他方の面には、Wビア38に接続する接続導体41が形成され、その上に、ポリイミド層44及びCu配線層42を堆積プロセスによって順次積層させた薄膜多層回路基板D部32を設ける。なお、層準の異なるCu配線層42の間はCuビア43によって接続されており、図において、中央のCuビア43の接続構造は、実際には投影的に異なった位置における接続状態を便宜的に中央部に集中させた状態で図示している。

【0013】そして、最上部のCuビア43に接続するように部品搭載用のパッド45がメッキ工程等によって形成されており、このパッド45にLSIチップ34に設けた半田バンプ35を溶融させて接続することによってLSIチップ34が実装された状態となる。

【0014】この様な薄膜多層回路基板において、薄膜多層配線層を形成するために、ビアを有する厚膜基板を用いた場合には、表面の平坦性、平滑性や、厚膜と薄膜の界面に高い信頼性を有することが大変重要となり、実際にも、多くの場合、この様な点が問題となる。

【0015】例えば、厚膜基板の表面に接続導体を同時焼成(Co-firing)で形成するために、導電性ペーストを塗布して形成した場合には、膜厚が数10~100μm程度の厚膜導体となるため、この上に、薄膜配線層を積層させると段差が大きくなりすぎ、薄膜多層配線に凹凸が生ずるため微細パターンの形成が困難になる。

【0016】この様な焼成による接続導体の形成方法の問題を改善するために、Wビア38に直接NiメッキとCuメッキを施す方法も知られているので、図5(a)参照して説明する。

図5(a)参照

図5(a)は、Wビア38の近傍における拡大図であり、Wビア38の露出表面上に電解メッキ法を用いて直接Niメッキ層46及びCuメッキ層47を設けたものであり、これによって、焼成法より接続導体41の厚さを薄く形成することができる。

【0017】しかし、多層回路基板C部31のように、同時焼成(Co-firing)の基板では、焼成時の収縮が非等方的であるため、収縮率の微妙な差によってWビアの位置が設計値よりずれてしまい、回路パターンが微細化するにつれて、その後の薄膜多層配線を設計値を基にしてフォトリソエッチング工程で形成することができなくなってしまうという問題がある。

【0018】そこで、厚膜基板には、薄膜接続導体による位置矯正パターンによって、厚膜導体とのコンタクトを行うことが必要になる。この場合、厚膜側と薄膜の密着性を確保しなければならないが、Cu等の薄膜多層配線に必要な低抵抗金属が、必ずしも厚膜ベース層や厚膜導体と密着するとは限らないため、厚膜側と薄膜配線との密着性を改善するための密着性改善層が必要になる。

【0019】このため、厚膜側との密着性を担う薄膜導電層と、薄膜多層配線に必要な薄膜導電層とを併せ持つ

金属多層膜にする必要があり、さらに、これらの多層膜相互の密着性を確保しつつ相互の反応や拡散を抑制した層構成にする必要がある。

【0020】しかし、いずれにしても、接続導体41として厚膜導体を用いた場合には、厚膜導体に起因した凹凸が問題になるので、接続導体自体を薄膜によって形成することが行われており、回路の構成にもよるが、直接セラミック基板37に形成する接続導体41として低抵抗のCuが用いられている。

10 【0021】このセラミック基板37としては、通常、LSIチップ34を構成するシリコンの熱膨張率とマッチングし、放熱性の良好なAlNセラミック基板が用いられているが、CuはAlNセラミック基板との密着性に乏しいため、密着性改善層として窒化物に対する密着性の良好なTi層を設ける必要があるが、Ti層を設けた場合には、その後の絶縁層形成時の熱処理工程で、TiとCuが拡散層や化合物層を生成し、さらに、熱処理雰囲気によっては拡散層中にTi酸化物まで形成してしまい、熱的には信頼性の低いものとなる。

20 【0022】したがって、TiとCuとの相互拡散を防止するために、Ti層とCu層との界面に拡散防止層を設ける必要があり、この様な拡散防止層としては、TiとCuとの密着性に優れ、且つ、Ti及びCuと化合物を形成しない金属が理想となる。

【0023】この様な拡散防止層としては、WやMo等の高融点金属が挙げられるので、この様な高融点金属をバリア層として用いた薄膜接続導体を図5(b)を参照して説明する。

図5(b)参照

30 図5(b)は、Wビア38の近傍における拡大図であり、スパッタリング法によってTi層48、Wバリア層49、及び、Cu層50を順次成膜したのち、パターニングすることによって接続導体41を形成したものであり、この層構成によって、接続導体41の薄膜化が可能になるとともに、熱的安定性が高まるので相互拡散による信頼性の低下が改善され、微細パターンを有する薄膜多層回路基板D部32の形成が可能になる。

【0024】

40 【発明が解決しようとする課題】しかし、バリア層となるWやMoはCuと反応しないため、Cu層50とWバリア層49との密着を図るのが困難であり、信頼性に問題がある。

【0025】したがって、本発明は、密着性改善層と導体金属層との間に設けるバリア層と、導体金属層との密着性を改善することを目的とする。

【0026】

【課題を解決するための手段】ここで、図1を参照して本発明における課題を解決するための手段を説明する。なお、図1は、本発明の原理的構成を示す厚膜埋込導体の近傍の概略的断面図である。

図1参照

(1) 本発明は、薄膜多層回路基板において、支持基板1を構成する厚膜ベース層2と厚膜埋込導体3とに接続するように、密着性改善層4と導体金属層6とを設けるとともに、密着性改善層4と導体金属層6との間に、密着性改善層4側から高融点金属から導体金属層6を構成する導体金属へと組成が連続的或いはステップ状のいずれかで変化する傾斜組成層5を挿入したことを特徴とする。

【0027】この様に、密着性改善層4側から高融点金属から導体金属層6を構成する導体金属へと組成が変化する傾斜組成層5を挿入することによって、導体金属との密着性を大幅に改善することができるとともに、密着性改善層4と導体金属層6との間の相互拡散を防止することができ、それによって、熱的安定性の優れた薄膜接続導体を形成することができる。なお、この場合の傾斜組成層5は、組成が連続的に変化するようにしても良いし、ステップ状に変化するようにしても良く、多元スパッタ装置を用いて形成することができる。

【0028】(2) また、本発明は、上記(1)において、傾斜組成層5が、高融点金属及び導体金属の双方のマトリックスを構成する組成比であることを特徴とする。

【0029】この様に、傾斜組成層5の組成比は、高融点金属及び導体金属の双方のマトリックスを構成する組成比、即ち、界面を構成しない組成比であることが必要である。

【0030】(3) また、本発明は、上記(1)または(2)において、導体金属がCuまたはCuを主成分とするCu系導体のいずれかからなるとともに、高融点金属が、W、Mo、Cr、Ta、Co、Nb、Rh、Ru、Re、Ir、Osのいずれかからなることを特徴とする。

【0031】この様に、導体金属としては低抵抗なCu或いはCuを主成分とするCu系導体のいずれかが好適であり、また、高融点金属としては、Cuと合金を構成しないW、Mo、Cr、Ta、Co、Nb、Rh、Ru、Re、Ir、Osのいずれかが好適である。なお、密着性改善層4としては、厚膜ベース層2は一般には窒化物セラミックスで構成されるので、窒化物に対する密着性の良好なTiが望ましい。

【0032】

【発明の実施の形態】ここで、図2を参照して本発明の第1の実施の形態の薄膜多層回路基板を説明するが、図2は、薄膜多層回路基板を構成する多層回路基板C部のWビア近傍の概略的断面図であり、図においては、理解しやすくするために、膜厚方向の尺度を強調して図示している。

図2参照

まず、多層薄膜回路基板C部11の表面をTiターゲット

ト、Wターゲット、及び、Cuターゲットをセットした多元同時スパッタ装置を用いてArエッチングを行ったのち、多層薄膜回路基板C部11を構成するAlNセラミック基板12及びAlNセラミック基板12に埋め込まれたWビア13に接続するように、厚さが、例えば、100nmのTi密着性改善層14、及び、厚さが、例えば、100nmのW層15を順次堆積させる。

【0033】引き続いて、WターゲットとCuターゲットとを同時放電させることによって傾斜組成層16を形成する。この場合、Wターゲットへの投入電力を4kW、2kW、1kWと順次変化させるのに同期させてCuターゲットへの投入電力を1kW、2kW、4kWと順次変化させることによって、厚さが、例えば、100nmの原子数比でW:Cu≒70:30のWリッチW-Cu複合層17、厚さが、例えば、100nmの原子数比でW:Cu≒50:50のW-Cu複合層18、及び、厚さが、例えば、100nmの原子数比でW:Cu≒30:70のCuリッチW-Cu複合層19のおおよそ3層構造の傾斜組成層16が形成される。

【0034】引き続いて、Cuターゲットを単独で放電させることによって、厚さが、例えば、500nmのCu層20を堆積させたのち、所定形状にパターニングすることによって、薄膜接続導体が形成される。

【0035】この場合、後の薄膜多層配線を形成する際の熱処理工程に対する熱的安定性を確認するために、真空中における500℃でのアニールとN₂ガス雰囲気中における500℃でのアニールの二通りのアニール処理を行ったのち、基板の断面を観察したところ、いずれの場合もCu薄膜の結晶粒は再結晶化によって結晶粒の成長が見られたが、高融点金属であるW組織には顕著な変化は見られず、熱的安定性が確認された。

【0036】以降は、従来と同様に、ポリイミドからなる絶縁膜、Cr密着性改善層及びCu層からなる配線層を交互に積層させて薄膜多層回路基板D部を形成することによって薄膜多層回路基板の基本構成が完成する。

【0037】この様に、本発明の第1の実施の形態においてはTi密着性改善層14とCu層20との間に、熱的安定性を改善するためのWを用いたバリア層を形成する際に、組成がWからCuへステップ状に変化する傾斜組成層16を設けているので、バリア層とCu層20との密着性を改善することができ、それによって、信頼性を向上することができる。なお、W層15を含めて傾斜組成層として考えても良い。

【0038】即ち、WリッチW-Cu複合層17においてはWがマトリックス、即ち、ネットワークを形成し、W-Cu複合層18においてはWとCuの双方が個別にマトリックスを構成し、また、CuリッチW-Cu複合層19においてはCuがマトリックスを構成するので、各層間の明確な界面が形成されず、密着性が高まることになる。

【0039】次に、図3を参照して、本発明の第2の実施の形態の薄膜多層回路基板を説明するが、図3は、薄膜多層回路基板を構成する多層回路基板C部のWビア近傍の概略的断面図であり、この場合も理解しやすくするために、図において膜厚方向の尺度を強調して図示している。

図3参照

まず、多層薄膜回路基板C部11の表面をTiターゲット、Moターゲット、及び、CuターゲットをセットしたDCスパッタ装置を用いてArエッチングを行ったのち、多層薄膜回路基板C部11を構成するAlNセラミック基板12及びAlNセラミック基板12に埋め込まれたWビア13に接続するように、厚さが、例えば、100nmのTi密着性改善層14、及び、厚さが、例えば、100nmのMo層21を順次堆積させる。

【0040】引き続いて、MoターゲットとCuターゲットとを交互に放電させることによって傾斜組成層22を形成する。この場合、Moターゲットへの電力の投入時間、Cuターゲットへの電力の投入時間を相反するようにステップ的に変化させることによって、例えば、90nmのMo層23₁、10nmのCu層24₁、30nmのMo層23₂、10nmのCu層24₂、20nmのMo層23₃、10nmのCu層24₃、20nmのMo層23₄、10nmのCu層24₄、10nmのMo層23₅、10nmのCu層24₅、10nmのMo層23₆、10nmのCu層24₆、10nmのMo層23₇、10nmのCu層24₇、10nmのMo層23₈、10nmのCu層24₈、10nmのMo層23₉、10nmのCu層24₉、10nmのMo層23₁₀、20nmのCu層24₁₀、10nmのMo層23₁₁、20nmのCu層24₁₁、10nmのMo層23₁₂、30nmのCu層24₁₂、及び、10nmのMo層23₁₃、90nmのCu層24₁₃の26層を形成する。

【0041】この様に、成膜過程で26層で構成したMoとCuとの複合層からなる傾斜組成層22は、Mo層21側ではMoリッチの組成となっており、一方、Cu層20側ではCuリッチの組成のステップ状の傾斜組成層22となっている。

【0042】引き続いて、Cuターゲットを単独で放電させることによって、厚さが、例えば、500nmのCu層20を堆積させたのち、所定形状にパターニングすることによって、薄膜接続導体が形成される。

【0043】この場合も、後の薄膜多層配線を形成する際の熱処理工程に対する熱的安定性を確認するために、真空中における500℃でのアニールとN₂ガス雰囲気中における500℃でのアニールの二通りのアニール処理を行ったのち、基板の断面を観察したところ、いずれの場合もCu薄膜の結晶粒は再結晶化によって結晶粒の成長が見られたが、高融点金属であるMo組織には顕著な変化は見られず、熱的安定性が確認された。

【0044】以降は、上記の第1の実施の形態と同様に、ポリイミドからなる絶縁膜、Cr密着性改善層及びCu層からなる配線層を交互に積層させて薄膜多層回路基板D部を形成することによって薄膜多層回路基板の基本構成が完成する。

【0045】この様に、本発明の第2の実施の形態においてはTi密着性改善層14とCu層20との間に、熱的安定性を改善するためのMoを用いたバリア層を形成する際に、組成がMoからCuへステップ状に変化する傾斜組成層21を設けているので、バリア層とCu層20との密着性を改善することができ、それによって、信頼性を向上することができる。なお、Mo層21を含めて傾斜組成層として考えても良い。

【0046】即ち、MoリッチMo-Cu複合層側においてはMoがマトリックスを形成し、Mo-Cu均等複合層においてはMoとCuの双方が個別にマトリックスを構成し、また、CuリッチMo-Cu複合層側においてはCuがマトリックスを構成するので、各層間の明確な界面が形成されず、密着性が高まることになる。

【0047】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載した構成及び条件に限られるものではなく、各種の変更が可能である。例えば、本発明の各実施の形態においては、傾斜組成層を含むバリア層を形成する高融点金属としてW或いはMoを用いているが、W或いはMoに限られるものではなく、W及びMoと同様に、Tiとの密着性が良好で、且つ、Ti及びCuと反応しない高融点金属である、Cr、Ta、Co、Nb、Rh、Ru、Re、Ir、Osのいずれかを用いても良いものである。

【0048】また、上記の各実施の形態においては、配線層の主体を構成する導体金属層としてCuを用いているが、純粋なCuに限られるものではなく、Cuを主成分とするCu系導電体を用いても良いものである。

【0049】また、上記の第1の実施の形態においては、Wを構成元素とする傾斜組成層を同時スパッタリング法を用いてステップ状に組成が変化する層として形成しているが、各ターゲットに対する投入電力を連続的に変化させることによって連続的に組成が変化する傾斜組成層としても良いものであり、さらには、上記の第2の実施の形態と同様に、DCスパッタリング法を用いて超格子的な構造によって傾斜組成層を形成しても良いものである。

【0050】また、上記の第2の実施の形態においては、Moを構成元素とする傾斜組成層をDCスパッタリング法を用いて超格子的な構造によってステップ状に組成が変化する層として形成しているが、上記の第2の実施の形態と同様に、同時スパッタリング法を用いてステップ状に組成が変化する層として形成しても良く、さらには、各ターゲットに対する投入電力を連続的に変化させることによって連続的に組成が変化する傾斜組成層と

しても良いものである。

【0051】

【発明の効果】本発明によれば、多層回路基板C部のWビアに接続する薄膜接続導体を形成する際に、相互拡散を防止するバリア層を傾斜組成層として設けているので、導体金属層とバリア層の密着性を大幅に改善することができ、それによって、熱的安定性に優れ且つ密着性の優れた薄膜接続導体を構成することができるので、繰り返し熱処理及び高温保持によって劣化せず信頼性の高い薄膜多層回路基板D部を有する薄膜多層回路基板を実現することができ、ひいては、電子部品の高密度実装化に寄与するところが大い。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の薄膜接続導体の説明図である。

【図3】本発明の第2の実施の形態の薄膜接続導体の説明図である。

【図4】従来のMCM-C/Dの概略的構成図である。

【図5】従来の薄膜多層回路基板における接続導体の説明図

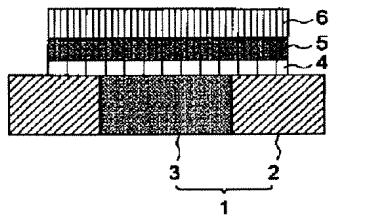
【符号の説明】

- 1 支持基板
- 2 厚膜ベース層
- 3 厚膜埋込導体
- 4 密着性改善層
- 5 傾斜組成層
- 6 導体金属層
- 11 多層回路基板C部
- 12 AlNセラミック基板
- 13 Wビア

- 14 Ti密着性改善層
- 15 W層
- 16 傾斜組成層
- 17 WリッチW-Cu複合層
- 18 W-Cu複合層
- 19 CuリッチW-Cu複合層
- 20 Cu層
- 21 Mo層
- 22 傾斜組成層
- 23₁ ~ 23₁₃: Mo層
- 24₁ ~ 24₁₃: Cu層
- 31 多層回路基板C部
- 32 薄膜多層回路基板D部
- 33 入出力ピン
- 34 LSIチップ
- 35 半田バンプ
- 36 冷却フィン
- 37 セラミック基板
- 38 Wビア
- 39 接続用パッド
- 40 半田
- 41 接続導体
- 42 Cu配線層
- 43 Cuビア
- 44 ポリイミド層
- 45 パッド
- 46 Niメッキ層
- 47 Cuメッキ層
- 48 Ti層
- 49 Wバリア層
- 50 Cu層

【图 1】

本発明の原理的構成の説明図

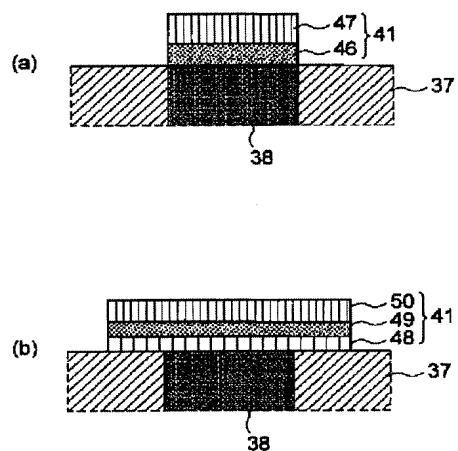


- | | |
|-----------|-----------|
| 1: 支持基板 | 4: 密着性改善層 |
| 2: 厚膜ペース層 | 5: 傾斜組成層 |
| 3: 厚膜埋込導体 | 6: 導体金属層 |

- | | |
|---------------|-----------------|
| 11:多層回路基板C部 | 16:傾斜組成層 |
| 12:A1Nセラミック基板 | 17:WリッチW-Cu複合層 |
| 13:Wビア | 18:W-Cu複合層 |
| 14:T1密着性改善層 | 19:CuリッチW-Cu複合層 |
| 15:W層 | 20:Cu層 |

【図5】

従来の薄膜多層回路基板における接続導体の説明図



37:セラミック基板
38:Wビア
41:接続導体
46:Niメッキ層

47:Cuメッキ層
48:Ti層
49:Wバリア層
50:Cu層

フロントページの続き

F ターム(参考) 4E351 AA07 BB01 BB23 BB24 BB32
BB38 CC03 DD04 DD14 DD17
DD18 DD19 DD20 GG01 GG11
5E343 AA11 AA39 BB15 BB22 BB24
BB38 BB39 BB40 BB45 BB71
DD25 EE42 GG01
5E346 AA02 AA05 AA12 AA15 AA35
AA41 BB01 BB16 CC10 CC31
CC32 CC35 CC36 DD03 DD15
EE33 GG01 GG28 HH11